

ESAMI DI STATO PER L'ABILITAZIONE
ALL'ESERCIZIO DELLA PROFESSIONE DI INGEGNERE E DI INGEGNERE IUNIOR
PRIMA SESSIONE 2015

PRIMA PROVA SCRITTA IUNIOR
24 GIUGNO 2015

SETTORE INFORMAZIONE

TEMA N.1

Il candidato illustri le metodologie per analizzare la dinamica e gli indici di funzionamento dei sistemi di controllo chiusi in retroazione sull'uscita.

TEMA N.2

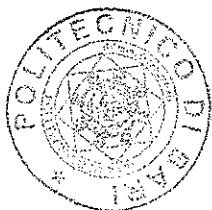
Il candidato descriva le caratteristiche principali del protocollo IP.

TEMA N.3

Il candidato analizzi i requisiti di un software relativo a uno scenario di interesse sanitario.

TEMA N.4

Il candidato esponga gli aspetti salienti delle tecnologie elettroniche bipolare e MOS con particolare riferimento all'impiego in applicazioni digitali.



ESAMI DI STATO PER L'ABILITAZIONE
ALL'ESERCIZIO DELLA PROFESSIONE DI INGEGNERE E DI INGEGNERE IUNIOR
PRIMA SESSIONE 2015

SECONDA PROVA SCRITTA IUNIOR
24 GIUGNO 2015

SETTORE INFORMAZIONE

TEMA N.1

Il candidato illustri le tecniche di sintesi nel dominio della frequenza e si discutano gli indici di funzionamento tipici di tale approccio.

TEMA N.2

Il candidato descriva l'algoritmo di accesso multiplo CSMA/CD.

TEMA N.3

Il candidato discuta le caratteristiche di un linguaggio strutturato e di un linguaggio orientato agli oggetti.

TEMA N.4

Il candidato esponga gli aspetti salienti relativi al flusso di progetto di sistemi digitali ed ai relativi tool di sviluppo, con riferimento almeno ad un esempio applicativo.



[Handwritten signature]

[Handwritten signature]

[Handwritten signature]

[Handwritten signature]

[Handwritten signature]

ESAMI DI STATO PER L'ABILITAZIONE
ALL'ESERCIZIO DELLA PROFESSIONE DI INGEGNERE E DI INGEGNERE IUNIOR
PRIMA SESSIONE 2015

TERZA PROVA SCRITTA IUNIOR
25 SETTEMBRE 2015

(PROVA PRATICA)

SETTORE INFORMAZIONE

TEMA N.1

Esercizio n. 1



Nel sistema in figura, sia:

$$G_c(s)=1, G_p(s)=\frac{(1-0.5s)}{s(1+0.1s)(1+0.01s)} \text{ e } H(s)=1.$$

- Si tracci il diagramma di Bode asintotico delle ampiezze del sistema in oggetto.
- Si tracci il diagramma di Bode asintotico delle fasi del sistema in oggetto.
- Dopo aver individuato la frequenza di crossover, si calcoli analiticamente il margine di fase del sistema e se ne discuta la stabilità.

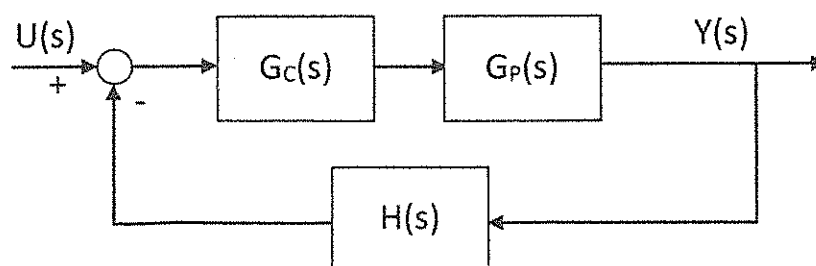
Esercizio n. 2

Con riferimento alla figura, sia:

$$G_c(s)=k, G_p(s)=\frac{(s+3)}{(s+1)^2(s+p)} \text{ e } H(s)=s+2 \text{ con } k>0, p>0.$$

Si definisce l'errore come $e(t)=u(t)-3y(t)$.

- Dopo aver calcolato la funzione di trasferimento $G_0(s)$ del sistema in anello chiuso, se ne verifichi la stabilità nelle ipotesi $k>0$ e $p>0$.
- Si determini la relazione che deve intercorrere tra i parametri p e k affinché si abbia un errore di posizione $e_p=0.1$.
- Si determini la relazione che deve intercorrere tra i parametri p e k perché si abbia un errore di velocità finito. Si calcoli quest'ultimo nell'ipotesi che tale relazione sia vera.
- Si dica, giustificando la risposta, se è possibile ottenere un errore di accelerazione finito.



TEMA N.2



Il candidato descriva le caratteristiche principali del protocollo IP.

Un'organizzazione utilizza una rete IP privata per abilitare la comunicazione tra le sue 150 sedi dislocate sul territorio Italiano. Presso ciascuna sede sono presenti 30 postazioni di lavoro con accesso alla rete privata. Il candidato pianifichi il piano di assegnazione degli indirizzi IP.

TEMA N.3

Il candidato progetti un software applicativo per il calcolo di parametri di interesse anagrafico-sanitario e quindi fornisca un esempio di implementazione.

TEMA N.4

Si progetti una unità aritmetico-logica (ALU) combinatoria, in grado di eseguire le seguenti operazioni tra stringhe ad 8 bit A e B:

1. Somma $A+B$
2. Differenza $A-B$
3. Incremento $A+1$
4. Decremento $B-1$
5. X-OR: $A'B + AB'$
6. Calcolo del bit di parità pari su ciascuna stringa di A
7. Calcolo del bit di parità dispari su ciascuna stringa di B

Si utilizzi un numero appropriato di display a 7 segmenti per rappresentare il risultato di ciascuna operazione, implementandone il driver con memoria ROM opportunamente dimensionata.

Si disegni, infine, per ciascun display, lo schema della memoria ROM driver a livello di transistor.